

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/004699

International filing date: 16 March 2005 (16.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-077689
Filing date: 18 March 2004 (18.03.2004)

Date of receipt at the International Bureau: 24 June 2005 (24.06.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 3 月 1 8 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 0 7 7 6 8 9

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 4 - 0 7 7 6 8 9

出 願 人
Applicant(s): 三洋電機株式会社
鳥取三洋電機株式会社

2 0 0 5 年 6 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】	特許願
【整理番号】	BAA3-0051
【提出日】	平成16年 3月18日
【あて先】	特許庁長官殿
【国際特許分類】	H01S 5/227
【発明者】	
【住所又は居所】	鳥取県鳥取市南吉方3丁目201番地 鳥取三洋電機株式会社内
【氏名】	岩本 学
【特許出願人】	
【識別番号】	000001889
【氏名又は名称】	三洋電機株式会社
【特許出願人】	
【識別番号】	000214892
【氏名又は名称】	鳥取三洋電機株式会社
【代理人】	
【識別番号】	100111383
【弁理士】	
【氏名又は名称】	芝野 正雅
【連絡先】	03-3837-7751 知的財産ユニット 東京事務所
【手数料の表示】	
【予納台帳番号】	013033
【納付金額】	21,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	9904451
【包括委任状番号】	9904463

【書類名】特許請求の範囲

【請求項 1】

リッジを保護する一対の第 1 サポートの内側に、前記リッジが複数並設された半導体レーザ素子であって、

前記複数のリッジの間に、前記リッジを保護する第 2 サポートが設けられていることを特徴とする半導体レーザ素子。

【請求項 2】

前記第 2 サポートは、各リッジに対応して設けられていることを特徴とする請求項 1 に記載の半導体レーザ素子。

【請求項 3】

当該素子の最外縁に、エッチングの進行を確認するためのモニタ領域が設けられていることを特徴とする請求項 1 または 2 に記載の半導体レーザ素子。

【請求項 4】

前記モニタ領域が、素子を分離するための分離溝を兼ねていることを特徴とする請求項 3 に記載の半導体レーザ素子。

【請求項 5】

素子表面に複数のリッジを並べて形成するとともに、各リッジに対して、各リッジを挟むように複数のサポートを形成する工程と、

前記リッジおよび前記サポートの表面にブロック層を形成する工程と、

スピンコート法により、前記ブロック層の表面に保護膜を塗布する工程と、

前記リッジのトップを覆う前記保護膜を除去する工程と、

前記保護膜をマスクとして、前記リッジのトップを覆う前記ブロック層を除去する工程と、

前記リッジを覆うように電極層を形成する工程とを有していることを特徴とする半導体レーザ素子の製造方法。

【書類名】 明細書

【発明の名称】 半導体レーザ素子およびその製造方法

【技術分野】

【０００１】

本発明は、ストライプ状のリッジを複数有する半導体レーザ素子およびその製造方法に関するものである。

【背景技術】

【０００２】

従来から、２本のリッジを有し、異なる波長のレーザ光または同一波長のレーザ光を２本出射することが可能なツインストライプ型の半導体レーザ素子が種々提案されている（例えば特許文献１参照）。この種の半導体レーザ素子は、例えば以下の手法により製造される。なお、以下では、半導体レーザ素子をサブマウントを介して保持体にて保持させる、いわゆるジャンクションダウン方式が適用される半導体レーザ素子の製造方法について説明する。

【０００３】

まず、基板上に、ｎ型バッファ層、ｎ型クラッド層、活性層、第１のｐ型クラッド層、エッチングストップ層、第２のｐ型クラッド層、ｐ型コンタクト層を形成する。そして、第２のｐ型クラッド層およびｐ型コンタクト層をドライエッチングおよびウェットエッチングすることにより、２本のリッジ１０１・１０１を形成するとともに、リッジ１０１・１０１の外側に一對のサポート１０２・１０２を形成する（図４（ａ）参照）。

【０００４】

次に、素子表面にｎ型ブロック層１０３を形成し（図４（ｂ）参照）、その上にレジスト（以下、単にレジストと称する）１０４を塗布する（図４（ｃ）参照）。そして、リッジ１０１・１０１のトップ表面のレジスト１０４を除去すべく、当該トップ以外を遮光する遮光部１０５をマスクとして、レジスト１０４に対して露光する（図４（ｄ）参照）。これにより、リッジ１０１・１０１のトップおよびその近傍のレジスト１０４が除去される（図４（ｅ）参照）。

【０００５】

続いて、リッジ１０１・１０１のトップのｎ型ブロック層１０３をエッチングして除去する（図４（ｆ）参照）。その後、レジスト１０４を剥離し（図４（ｇ）参照）、リッジ１０１・１０１のトップと導通するｐ型電極１０６を素子表面に形成する（図４（ｈ）参照）。一方、基板の裏面（ｐ型電極１０６とは反対側）には、ｎ型電極（図示せず）を形成する。

【特許文献１】 特開２００３－６９１５４号公報

【発明の開示】

【発明が解決しようとする課題】

【０００６】

ところで、図４（ｃ）で示したレジスト１０４の塗布工程は、一般に、スピンコート法によって行われる。このスピンコート法では、レジスト１０４を素子表面に滴下した後、ウェハを回転させてレジスト１０４を横方向に広げ、光照射によってこれを硬化させている。

【０００７】

ところが、上述した製造方法では、１個のリッジ１０１に対して、一方の側（図４（ａ）ないし図４（ｈ）では素子外側）にしかサポート１０２を形成していないため、スピンコートにより形成されるレジスト１０４の膜厚が、実際には、リッジ１０１に対して内側（サポート１０２の存在しない側）と外側（サポート１０２の存在する側）とで微妙に異なってしまう。これが、素子特性に悪影響を及ぼす結果となる。この点について、図５（ａ）ないし図５（ｄ）を参照しながら説明する。

【０００８】

図５（ａ）は、図４（ｅ）で示した工程において、レジスト１０４の膜厚が、１個のリ

リッジ 101 に対して素子内側で薄く、素子外側で厚くなった場合を示している。スパインコートによりレジスト 104 を素子表面に塗布した場合、その直後にリッジ間の溝にレジストが流れ込む。この流れ込みによって素子内側でレジスト 104 の膜厚が薄くなりすぎることもあり、極端な例では当該レジスト 104 に穴 107 が開いてしまう場合もある。

【0009】

すると、図 4 (f) で示した n 型ブロック層 103 のエッチング工程では、図 5 (b) に示すように、リッジ 101 のトップの n 型ブロック層 103 のみならず、リッジ 101 よりも素子内側のレジスト 104 の穴 107 を介して、その下層の n 型ブロック層 103 までもがエッチングにより除去され、隙間 108 が形成されてしまう。したがって、この状態でレジスト 104 を剥離し（図 5 (c) 参照）、リッジ 101 を覆うように p 型電極 106 を形成した場合には、n 型ブロック層 103 の隙間 108 にも p 型電極 106 が入り込む（図 5 (d) 参照）。このような構造上の不良によって、素子の光出力などの素子特性が劣化することになる。

【0010】

本発明は、上記の問題点を解決するためになされたものであって、その目的は、リッジを複数有する素子の製造時に、各リッジの両側に塗布されるレジストの膜厚を均一化することができ、これによって構造上の不良を無くし、素子特性の劣化を回避することができる半導体レーザ素子およびその製造方法を提供することにある。

【課題を解決するための手段】

【0011】

本発明の半導体レーザ素子は、リッジを保護する一対の第 1 サポートの内側に、前記リッジが複数並設された半導体レーザ素子であって、前記複数のリッジの間に、前記リッジを保護する第 2 サポートが設けられていることを特徴としている。

【0012】

上記の構成によれば、並設された複数のリッジの外側に一対のサポート（第 1 サポート）が形成されているが、その複数のリッジの間にもサポート（第 2 サポート）が形成されている。これにより、例えば、素子製造時に素子表面にレジストを塗布してスパインコートを行っても、リッジよりも素子内側のレジストがリッジ間の溝に流れるのを、この第 2 サポートである程度抑えることができ、リッジに対して素子内側のレジスト膜厚が素子外側に比べて大幅に薄くなるのを回避することができる。その結果、その後のエッチング工程（例えば、リッジを覆うように形成されるブロック層のリッジトップの部分のエッチング工程）にて、素子内側のレジストの下層（リッジトップ以外のブロック層）までエッチングされ、素子構造が不良となるのを回避することができ、素子特性の劣化を回避することができる。

【0013】

特に、上述した第 2 サポートが、各リッジに対応して設けられていれば、1 個のリッジの両側に個々にサポート（第 1 サポートおよび第 2 サポート）が形成され、1 個のリッジが第 1 サポートと第 2 サポートとで挟まれる位置関係となる。したがって、各リッジに対して素子内側のレジスト膜厚が素子外側に比べて薄くなるのを、各リッジごとに確実に回避することができ、上述した構造不良による素子特性の劣化を確実に回避することができる。

【0014】

また、素子の最外縁にエッチングの進行を確認するためのモニタ領域が設けられていれば、上述した第 2 サポートの形成によって、素子内側の領域にてその後のエッチングの進行が確認できなくても、素子最外縁のモニタ領域にてそれを確認することができる。その結果、エッチング不良による素子の構造不良が発生するのを回避することができる。

【0015】

また、このモニタ領域が、素子を分離するための分離溝を兼ねていれば、当該分離溝に、素子分離としての機能とエッチングの際のモニタ機能とを両方持たせることができ、上記のモニタ領域を分離溝で代用することができる。

【0016】

また、本発明の半導体レーザ素子の製造方法は、素子表面に複数のリッジを並べて形成するとともに、各リッジに対して、各リッジを挟むように複数のサポートを形成する工程と、前記リッジおよび前記サポートの表面にブロック層を形成する工程と、スピンコート法により、前記ブロック層の表面に保護膜を塗布する工程と、前記リッジのトップを覆う前記保護膜を除去する工程と、前記保護膜をマスクとして、前記リッジのトップを覆う前記ブロック層を除去する工程と、前記リッジを覆うように電極層を形成する工程とを有していることを特徴としている。

【0017】

この製造方法によれば、複数並設される各リッジを挟むようにサポートが形成される。つまり、各リッジの両側（素子内側および素子外側）にサポートが形成される。この状態で、各リッジおよび各サポート表面にブロック層を形成し、このブロック層の表面に保護膜（例えばレジスト）をスピンコートにより塗布したときには、各リッジに対して素子内側のレジストがリッジ間の溝に流れるのを、リッジに対して素子内側のサポートである程度抑えることができる。これにより、リッジに対して素子内側のレジスト膜厚が、素子外側のレジスト膜厚より大幅に薄くなることかない。

【0018】

したがって、その後、リッジトップを覆うレジストを除去し、そのレジストをマスクとしてリッジのトップを覆うブロック層を除去するときでも、リッジよりも素子内側のレジスト下層のブロック層まで除去する事態を回避することができ、次にリッジを覆うように電極層を形成したときでも、この電極層がリッジ以外でブロック層の間に入り込むのを回避することができる。その結果、素子構造が不良となるのを回避することができ、素子特性の劣化を回避することができる。

【発明の効果】

【0019】

本発明によれば、素子製造時に素子表面に保護膜（レジスト）を塗布してスピンコートを行っても、リッジよりも素子内側のレジストがリッジ間の溝に流れるのを、リッジよりも素子内側のサポート（第2サポート）である程度抑えることができ、リッジに対して素子内側のレジスト膜厚が素子外側に比べて大幅に薄くなるのを回避することができる。その結果、その後のエッチング工程（例えば、リッジを覆うように形成されるブロック層のリッジトップの部分のエッチング工程）にて、素子内側のレジストの下層（リッジトップ以外のブロック層）までエッチングされ、素子構造が不良となるのを回避することができ、素子特性の劣化を回避することができる。

【発明を実施するための最良の形態】

【0020】

本発明の実施の一形態について、図面に基づいて説明すれば、以下の通りである。

【0021】

図1は、本発明に係る半導体レーザ素子（以下、単に素子と称する）の概略の構成を示す断面図である。この素子は、異なる波長のレーザ光である赤色レーザ光と赤外レーザ光とを2本出射することが可能な、ツインストライプ型の素子である。この素子においては、n型（第1導電型）GaAsからなる基板1上には、赤色レーザ光を出射する赤色レーザ光出射部2と、赤外レーザ光を出射する赤外レーザ光出射部3とが形成されている。

【0022】

また、基板1上において、赤色レーザ光出射部2と赤外レーザ光出射部3との間には、短絡を防止するための分離溝4が設けられている。また、素子の最外縁には、分離溝5が設けられている。この分離溝5は、本来、同一ウェハにおいて隣接して形成される素子を分離するためのものであるが、本実施形態では、後述する製造過程でのエッチング時に、エッチングの進行を確認するためのモニタ領域としても機能している。

【0023】

赤色レーザ光出射部2は、基板1に、n型GaInPからなるバッファ層11、n型A

1 GaInP からなる n 型クラッド層 12、GaInP / AlGaInP からなり、赤色レーザ光を出射する活性層 13、p 型（第 2 導電型）AlGaInP からなる p 型クラッド層 14 および p 型 GaInP からなるエッチングストッパ層 15 がこの順で積層されて構成されている。

【0024】

エッチングストッパ層 15 上には、ストライプ状のリッジ 16 が形成されているとともに、そのリッジ 16 の両側には、リッジ 16 と所定間隔をおいてサポート 17 が形成されている。サポート 17 は、後述するサブマウント 45（図 2 参照）に素子を安定して取り付けるための支持部であり、このサポート 17 の存在により、リッジ 16 が保護される。

【0025】

サポート 17 は、リッジ 16 に対して素子外側に位置する第 1 サポート 17a と、素子内側に位置する第 2 サポート 17b とで構成されている。リッジ 16 のトップを除く表面には、n 型 AlInP からなるブロック層 18 が積層されており、リッジ 16 のトップおよびブロック層 18 上には、p 型電極 19 が積層されている。一方、基板 1 の裏面側には、赤外レーザ光出射部 3 と共用される n 型電極 20 が形成されている。

【0026】

上記のリッジ 16 およびサポート 17 は、p 型 AlGaInP からなる p 型クラッド層 21、p 型 GaInP からなるコンタクト層 22 および p 型 GaAs からなるコンタクト層 23 がこの順で積層されて構成されている。

【0027】

一方、赤外レーザ光出射部 3 は、基板 1 に、n 型 AlGaAs からなるバッファ層 31、n 型 AlGaAs からなる n 型クラッド層 32、AlGaAs / AlGaAs からなり、赤外レーザ光を出射する活性層 33、p 型 AlGaAs からなる p 型クラッド層 34 および p 型 AlGaAs からなるエッチングストッパ層 35 がこの順で積層されて構成されている。

【0028】

エッチングストッパ層 35 上には、ストライプ状のリッジ 36 が形成されているとともに、そのリッジ 36 の両側には、リッジ 36 と所定間隔をおいてサポート 37 が形成されている。サポート 37 は、後述するサブマウント 45（図 2 参照）に素子を安定して取り付けるための支持部であり、このサポート 37 の存在によりリッジ 36 が保護される。すなわち、サポート 37 は、素子加工工程において加わる応力によってリッジ 36 が折れてしまうことを阻止するように機能する。また、サポート 36 は、放熱部材としても有効に機能する。

【0029】

サポート 37 は、リッジ 36 に対して素子外側に位置する第 1 サポート 37a と、素子内側に位置する第 2 サポート 37b とで構成されている。リッジ 36 のトップを除く表面には、n 型 AlGaAs からなるブロック層 38 が積層されており、リッジ 36 のトップおよびブロック層 38 上には、p 型電極 39 が積層されている。

【0030】

上記のリッジ 36 およびサポート 37 は、p 型 AlGaAs からなる p 型クラッド層 41、p 型 GaAs からなるコンタクト層 42 がこの順で積層されて構成されている。

【0031】

上記構成の素子は、図 2 に示すように、基板 1 における p 型電極 19・39 側をサブマウント 45 に取り付け、このサブマウント 45 を介して保持体（図示せず）に保持される（ジャンクションダウン方式）。

【0032】

このように、本実施形態の素子では、複数のリッジ 36・16 が一対の第 1 サポート 37a・17a の内側に並設されており、その複数のリッジ 36・16 の間に、第 2 サポート 37b・17b が設けられている。特に、本実施形態では、第 2 サポート 37b・17b が、各リッジ 36・16 に対応して設けられている。この結果、リッジ 36 は、第 1 サ

ポート 3 7 a と第 2 サポート 3 7 b とで所定間隔をおいて挟まれるように設けられ、リッジ 1 6 は、第 1 サポート 1 7 a と第 2 サポート 1 7 b とで所定間隔をおいて挟まれるように設けられている。

【 0 0 3 3 】

また、本実施形態では、素子幅は、例えば $300\text{ }\mu\text{m}$ であり、リッジ 1 6 ・ 3 6 の幅は、それぞれ例えば $2\text{ }\mu\text{m}$ である。また、リッジ 1 6 ・ 3 6 間の距離は、例えば $110\text{ }\mu\text{m}$ であり、リッジ 1 6 ・ 3 6 の中心と分離溝 4 の中心との距離は、それぞれ例えば $55\text{ }\mu\text{m}$ である。さらに、リッジ 1 6 の中心からサポート 1 7 (第 1 サポート 1 7 a または第 2 サポート 1 7 b) のリッジ 1 6 側の端までの距離、およびリッジ 3 6 の中心からサポート 3 7 (第 1 サポート 3 7 a または第 2 サポート 3 7 b) のリッジ 3 6 側の端までの距離は、それぞれ例えば $20\text{ }\mu\text{m}$ である。つまり、リッジ 1 6 に対して、第 1 サポート 1 7 a および第 2 サポート 1 7 b は線対称の位置関係にあり、リッジ 3 6 に対して、第 1 サポート 3 7 a および第 2 サポート 3 7 b は線対称の位置関係にある。

【 0 0 3 4 】

次に、上記構成の素子の製造方法について、図 1 および図 3 (a) ないし図 3 (h) に基づいて説明する。

【 0 0 3 5 】

まず、基板 1 上に、バッファ層 1 1 ・ 3 1、n 型クラッド層 1 2 ・ 3 2、活性層 1 3 ・ 3 3、p 型クラッド層 1 4 ・ 3 4、エッチングストップ層 1 5 ・ 3 5、p 型クラッド層 2 1 ・ 4 1 およびコンタクト層 2 2 ・ 2 3 ・ 4 2 を、赤色レーザ光出射部 2 および赤外レーザ光出射部 3 のそれぞれに対応して積層形成する。そして、p 型クラッド層 2 1 ・ 4 1、コンタクト層 2 2 ・ 2 3 ・ 4 2 をドライエッチングおよびウェットエッチングすることにより、2 本のリッジ 1 6 ・ 3 6 と、リッジ 1 6 ・ 3 6 の外側に第 1 サポート 1 7 a ・ 3 7 a と、リッジ 1 6 ・ 3 6 の内側に第 2 サポート 1 7 b ・ 3 7 b とを形成する (図 3 (a) 参照)。

【 0 0 3 6 】

次に、素子表面にブロック層 5 1 (後にブロック層 1 8 ・ 3 8 となる) を形成し (図 3 (b) 参照)、その上に保護膜であるレジスト (以下、単にレジストと称する) 5 2 をスピコートにより塗布する (図 3 (c) 参照)。そして、リッジ 1 6 ・ 3 6 のトップ表面のレジスト 5 2 を除去すべく、当該トップ以外を遮光する遮光部 5 3 をマスクとして、レジスト 5 2 に対して露光する (図 3 (d) 参照)。これにより、リッジ 1 6 ・ 3 6 のトップおよびその近傍のレジスト 5 2 が除去される (図 3 (e) 参照)。

【 0 0 3 7 】

続いて、リッジ 1 6 ・ 3 6 のトップのブロック層 5 1 をエッチングして除去する (図 3 (f) 参照)。その後、レジスト 5 2 を剥離し (図 3 (g) 参照)、リッジ 1 6 ・ 3 6 のトップとそれぞれ導通する p 型電極 1 9 ・ 3 9 を素子表面に形成する (図 3 (h) 参照)。一方、基板の裏面 (p 型電極 1 9 ・ 3 9 とは反対側) には、n 型電極 2 0 (図 1 参照) を形成する。その後、隣接する素子を分離溝 5 で個々の素子に分離する。

【 0 0 3 8 】

ここで、上記の製造過程において、リッジ 1 6 ・ 3 6 の両側でのレジスト 5 2 の膜厚を、第 2 サポート 1 7 b ・ 3 7 b 有りの場合 (本発明) と、無しの場合 (従来) とで測定した。この測定は、ウェハ中心部の隣り合う 3 個の素子 A、B、C と、それ以外の 1 個の素子 D の合計 4 個の素子について、(1) リッジトップのレジスト a の膜厚 (μm)、(2) リッジよりも素子外側のレジスト b の膜厚 (μm) (3) リッジよりも素子内側のレジスト c の膜厚 (μm) を、SEM (走査型電子顕微鏡) を用いて行った。表 1 は、そのときの測定結果を示している。

【 0 0 3 9 】

【表 1】

		素子				平均	単位[μm]	
	レジスト	A	B	C	D		bとcとの 膜厚差	aとbとの 膜厚比
赤色	a	0.78	0.97	0.73	0.78	0.82(0.78)	0.09(0.15)	2.21(2.06)
	b	1.80	1.80	1.76	1.83	1.80(1.61)		
	c	1.90	1.90	1.85	1.90	1.89(1.76)		
赤外	a	1.04	1.11	1.04	1.09	1.07(0.95)	0.07(0.10)	1.66(1.69)
	b	1.78	1.78	1.78	1.76	1.78(1.61)		
	c	1.80	1.85	1.85	1.88	1.85(1.71)		

()内は、第2サポート無しときの値

表1の結果、リッジ両側のレジストb・cの膜厚差は、赤色レーザ光照射部2については、第2サポート17bを設けることによって、 $0.15\mu\text{m}$ から $0.09\mu\text{m}$ へと減少しており、リッジを挟む両側のレジスト厚がより均一に近づいていることがわかる。 $0.06\mu\text{m}$ の減少幅は、 $0.15\mu\text{m}$ の40%に相当し、レジスト膜厚の不均一性が40%改善されたことを示している。

【0040】

また、赤外レーザ光照射部3についても、第2サポート37bを設けることによって、 0.10 から 0.07 へと減少しており、リッジを挟む両側のレジスト厚がより均一に近づいていることがわかる。 $0.03\mu\text{m}$ の減少幅は、 $0.10\mu\text{m}$ の30%に相当し、レジスト膜厚の不均一性が30%改善されたことを示している。

【0041】

以上のように、本実施形態の素子は、一対の第1サポート17a・37aの間に、複数のリッジ16・36が並設され、その複数のリッジ16・36の間に第2サポート17b・37bが設けられている構成である。これにより、素子製造時に素子表面にレジスト52を塗布してスピコートを行っても、リッジ16・36よりも素子内側のレジスト52がリッジ間の溝に流れるのを、この第2サポート17b・37bである程度抑えることができる。そして、リッジ16・36に対して素子内側のレジスト膜厚が素子外側に比べて大幅に薄くなるのを回避することができる。

【0042】

したがって、その後、リッジトップを覆うレジスト52を除去し、そのレジスト52をマスクとしてリッジトップを覆うブロック層51を除去するときでも、従来のように、リッジ16・36よりも素子内側のレジスト52下層のブロック層51まで除去する事態を回避することができ、次にリッジ16・36を覆うように電極層（本実施形態ではp型電極19・39）を形成したときでも、この電極層がリッジ16・36以外でブロック層51の間に入り込むのを回避することができる。その結果、素子構造が不良となるのを回避することができ、素子特性の劣化を回避することができる。

【0043】

特に、リッジ16・36間に1個の第2サポートだけでなく、本実施形態のように各リッジ16・36に対応して第2サポート17b・37bを設けることにより、レジスト5

2の素子内側から素子外側への流れを、各リッジ16・36について第2サポート17b・37bで抑えることができる。そして、各リッジ16・36に対して素子内側のレジスト膜厚が素子外側に比べて薄くなるのを、各リッジ16・36ごとに確実に回避することができる。その結果、上述した本実施形態の効果を確実に得ることができる。

【0044】

また、リッジ16・36の両側にサポート17・37が形成されるので、片側のみにサポート17・37が形成される場合に比べて、組み立てダメージを低減できるという効果もある。つまり、リッジ16・36の片側にのみサポート17・37が形成される素子構造では、素子をサブマウント45を介して保持体に取り付けたときに、片側のサポート17・37にのみ負荷がかかる。しかし、本実施形態の素子構造では、両側のサポート17・37に組み立て時の負荷を分散させることができ、より信頼性の高い素子を提供することが可能となる。

【0045】

また、1個の素子について、第1サポート17a・37aのみならず、第2サポート17b・37bを設けることにより、サブマウント45を介して素子を保持体に取り付けたときに、活性層13・33からのレーザ出力によって発生する熱を、第1サポート17a・37aのみならず、第2サポート17b・37bを介してサブマウント45側に伝達させることができる。つまり、第2サポート17b・37bを素子に設けた場合は、第2サポート17b・37bを素子に設けない場合に比べて、素子の放熱性が向上する。これにより、活性層13・33での温度上昇を抑えて、例えば一定の光出力（例えば70℃で40mW）を得るための動作電流（電極間を流れる電流）を低減させることができる。したがって、このような温度特性の向上により、素子の信頼性を向上させることができる。

【0046】

ここで、放熱性の向上だけを考えれば、サポート幅（第1サポート17a・37aの幅および第2サポート17b・37bの幅）は、極力広いほうが望ましいが、サポート幅を広げすぎると、サポート以外の部位におけるエッチングの進行を目視で確認することが困難となる。したがって、放熱性およびエッチングの確認のしやすさの両方を考慮すれば、リッジ16・36およびサポート17・37を除く部位の幅が素子幅の40%以上となるように、サポート17・37の幅を設定することが望ましい。また、リッジ16・36およびサポート17・37を除く部位の面積が素子面積の40%以上となるように、サポート17・37の面積を設定することが望ましい。

【0047】

また、本実施形態では、素子の最外縁に分離溝5を設けており、この分離溝5をモニタ領域として活用している。上述したようにリッジ16・36の素子内側に第2サポート17b・37bを形成すると、その分、サポート以外の部位のエッチングの進行を目視で確認する領域が減り、その確認に支障が生じる。しかし、分離溝5を設けていることによって、この分離溝5をモニタ領域として活用できるので、エッチング不良による素子構造の不良が生じるのを回避することができる。

【0048】

また、本来、分離溝5は、隣接する素子を切り離すための溝であるが、この分離溝5が上記のモニタ領域を兼ねているので、分離溝5とは別にモニタ領域を設けなくても済み、分離溝5を有効活用することができる。

【0049】

なお、本実施形態では、リッジ16に対して、第1サポート17aおよび第2サポート17bが線対称であり、リッジ36に対して、第1サポート37aおよび第2サポート37bが線対称である場合について説明した。しかし、この線対称性は必ずしも満たされなければならないものではなく、線対称でなくても、第2サポート17b・37bを設けることによる本実施形態の効果をj得ることはできる。

【0050】

なお、本実施形態では、異なる2波長のレーザ光を出射する素子について説明したが、

複数のリッジを有する素子であれば、例えば同一波長のレーザ光を出射する素子についても、本発明を適用することは可能である。

【産業上の利用可能性】

【0051】

本発明は、例えばC D－R／R W、D V D－R／±R Wなどの記録媒体に対して情報の記録、再生を行う情報記録再生装置の光源として使用される半導体レーザ素子およびその製造に利用可能である。

【図面の簡単な説明】

【0052】

【図1】本発明の実施の一形態に係る半導体レーザ素子の概略の構成を示す断面図である。

【図2】上記半導体レーザ素子をサブマウントにジャンクションダウン方式で接続した状態を示す断面図である。

【図3】（a）ないし（h）は、上記半導体レーザ素子の製造工程を示す断面図である。

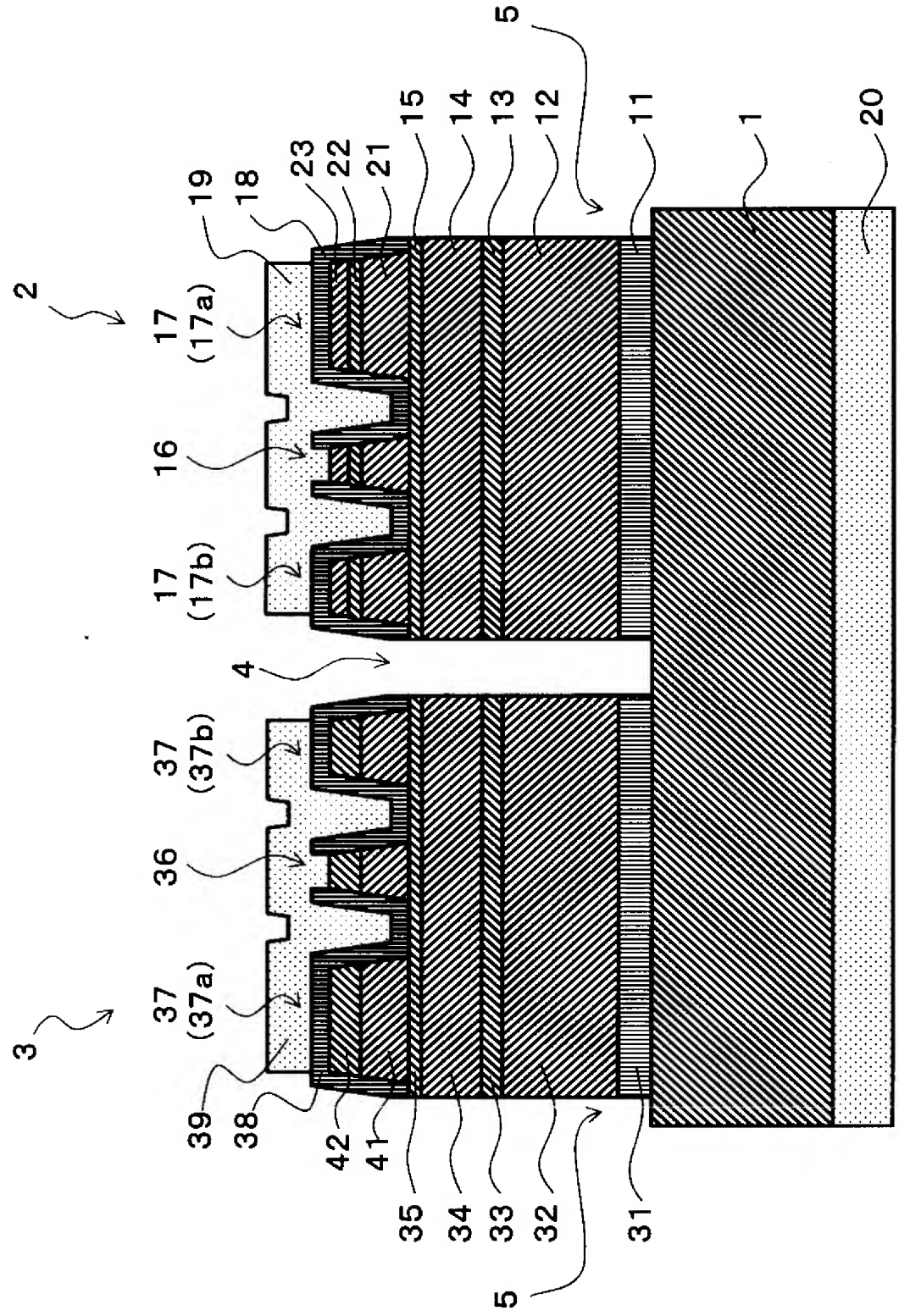
【図4】（a）ないし（h）は、従来の半導体レーザ素子の製造工程を示す断面図である。

【図5】（a）ないし（d）は、上記製造工程の一部を詳細に示す断面図である。

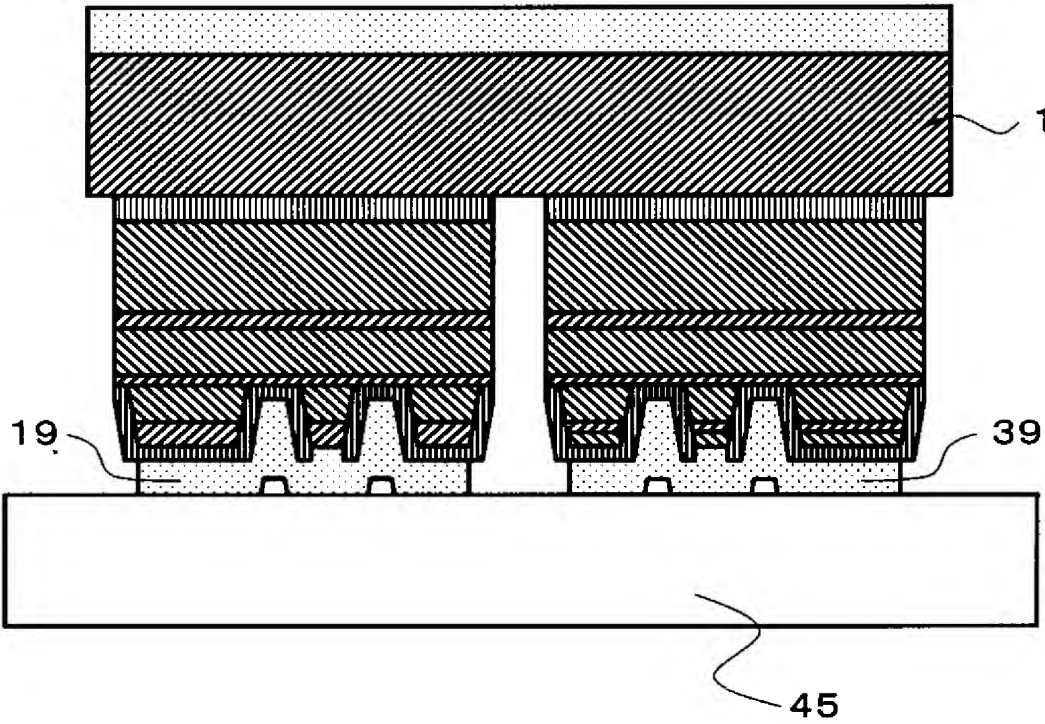
【符号の説明】

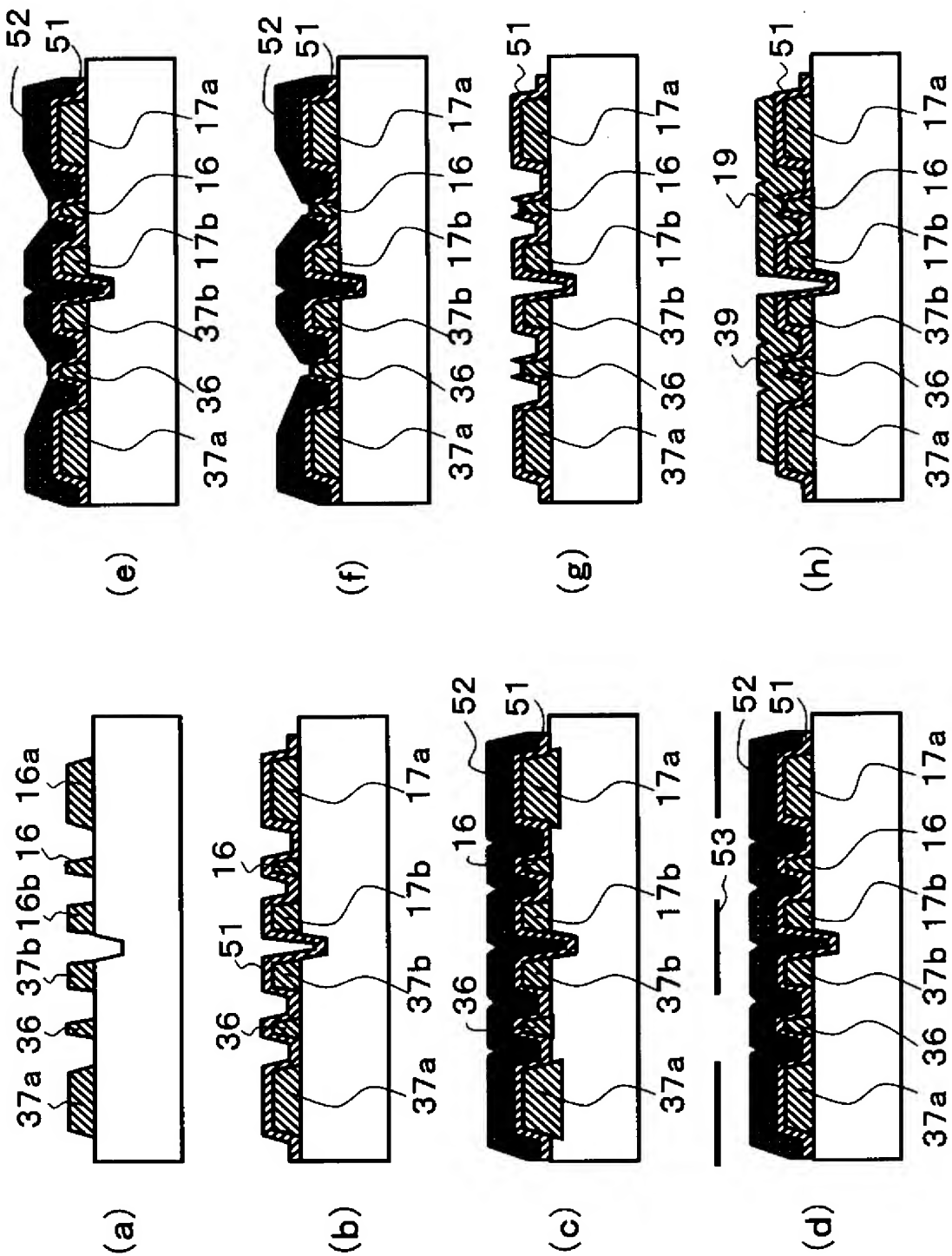
【0053】

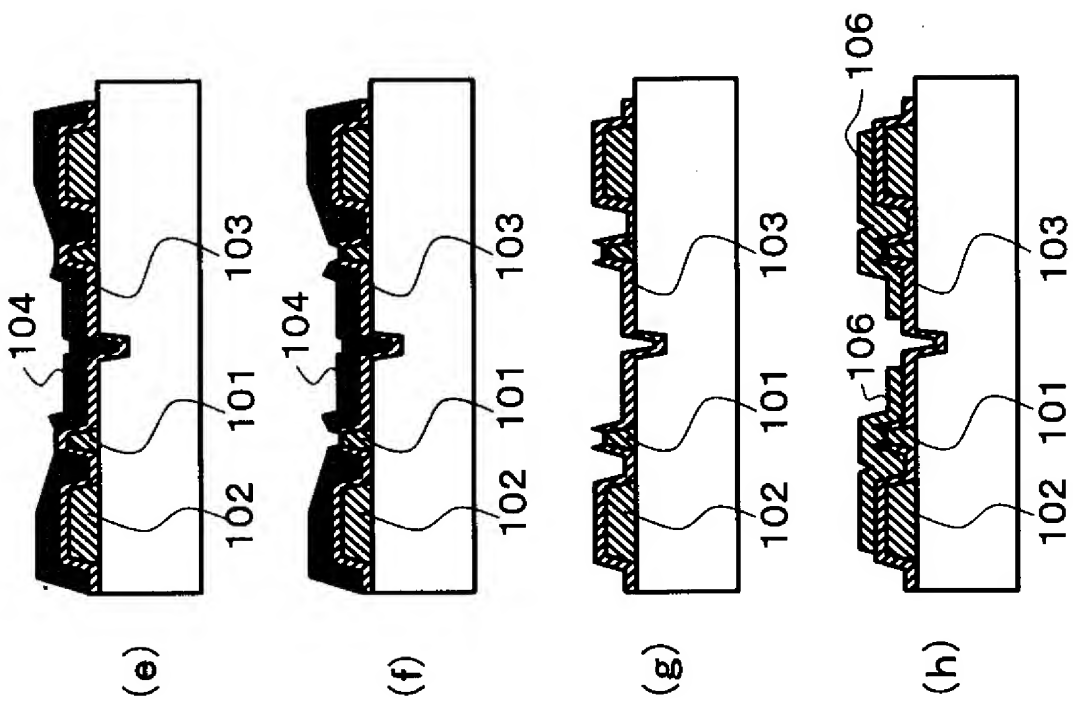
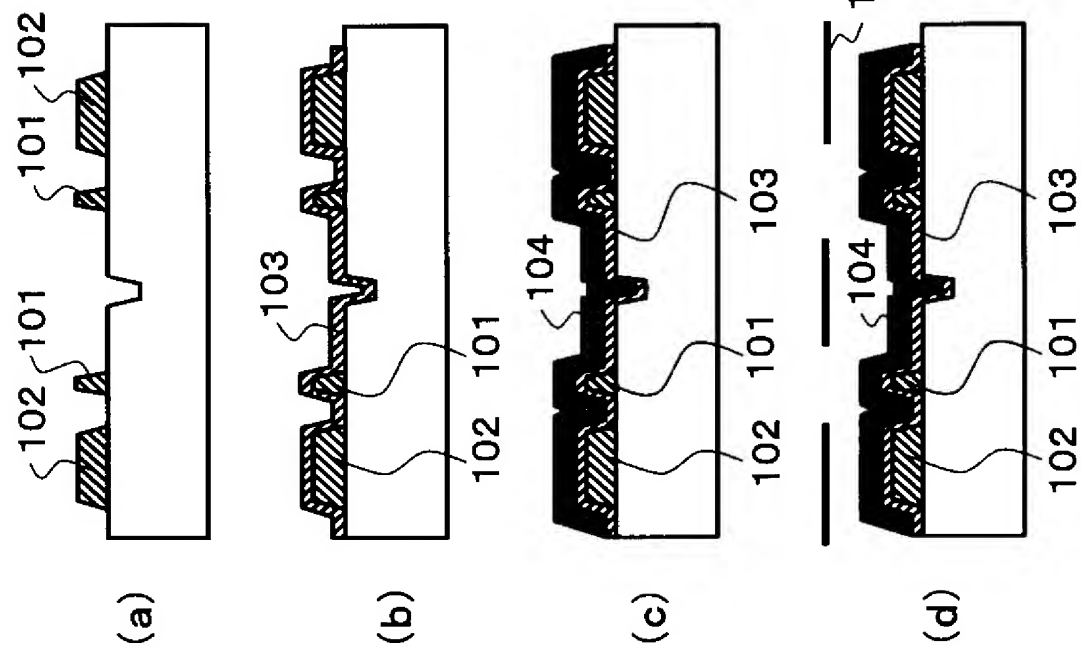
5	分離溝（モニタ領域）
16	リッジ
17	サポート
17a	第1サポート
17b	第2サポート
18	ブロック層
19	p型電極（電極層）
36	リッジ
37	サポート
37a	第1サポート
37b	第2サポート
38	ブロック層
39	p型電極（電極層）
51	ブロック層
52	レジスト（保護膜）

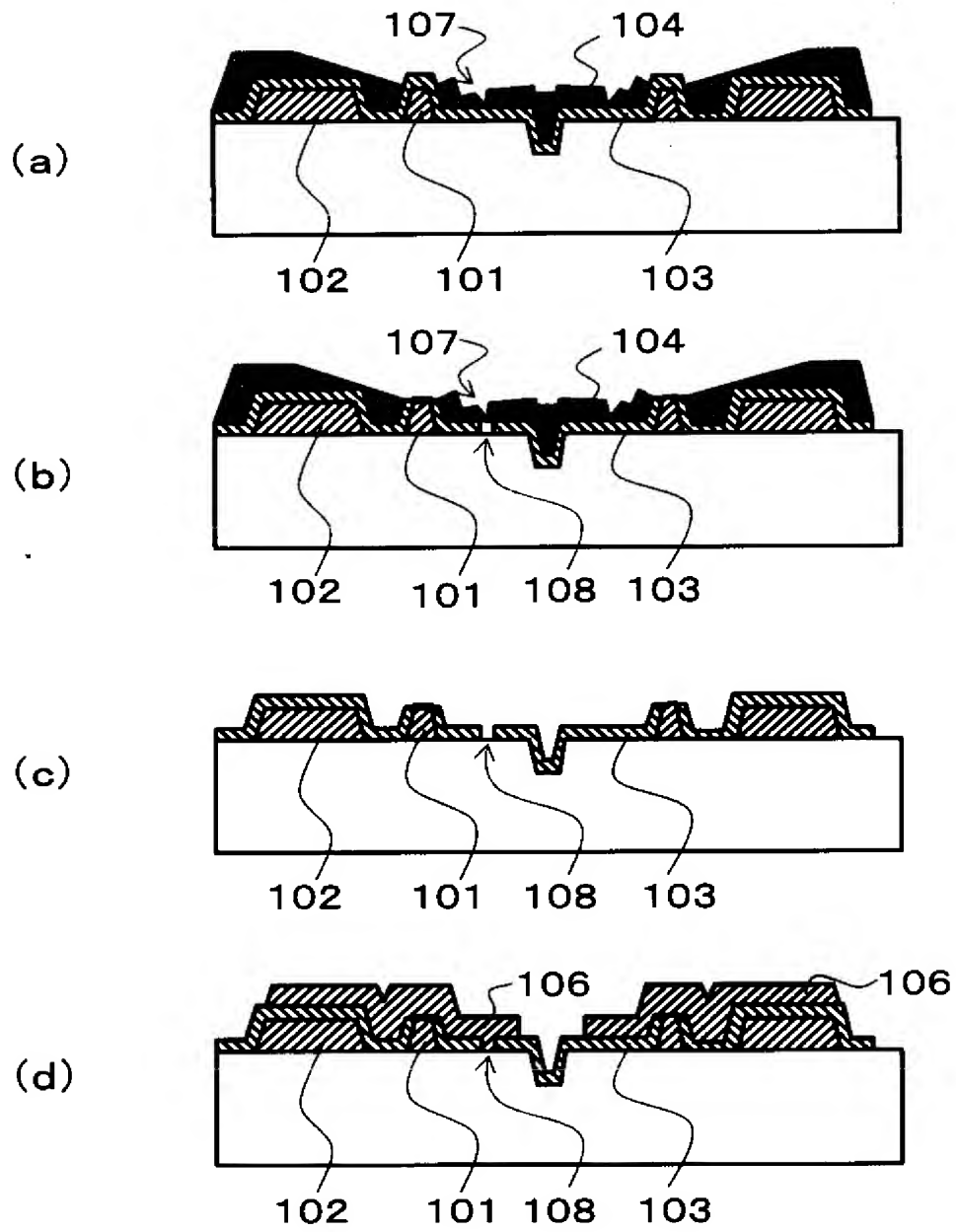


【図 2】









【書類名】 要約書

【要約】

【課題】 複数のリッジ 1 6 ・ 3 6 の両側に塗布されるレジストの膜厚の均一化を図ることができ、これによって構造上の不良を無くし、素子特性の劣化を回避する。

【解決手段】 複数のリッジ 1 6 ・ 3 6 を並設した素子において、各リッジ 1 6 ・ 3 6 を挟むようにサポート 1 7 ・ 3 7 を形成する。より具体的には、リッジ 1 6 の素子外側に第 1 サポート 1 7 a を形成し、素子内側に第 2 サポート 1 7 b を形成する。また、リッジ 3 6 の素子外側に第 1 サポート 3 7 a を形成し、素子内側に第 2 サポート 3 7 b を形成する。これにより、素子製造時に素子表面にレジストを塗布してスピコートを行っても、リッジ 1 6 ・ 3 6 よりも素子内側のレジストがリッジ間の溝に流れるのを、この第 2 サポート 1 7 b ・ 3 7 b である程度抑えることができ、リッジ 1 6 ・ 3 6 に対して素子内側のレジスト膜厚が素子外側に比べて大幅に薄くなるのを回避することができる。

【選択図】 図 1

出願人履歴

0 0 0 0 0 1 8 8 9

19931020

住所変更

大阪府守口市京阪本通2丁目5番5号

三洋電機株式会社

0 0 0 2 1 4 8 9 2

19900824

新規登録

鳥取県鳥取市南吉方3丁目201番地

鳥取三洋電機株式会社

0 0 0 2 1 4 8 9 2

20040910

住所変更

鳥取県鳥取市立川町七丁目101番地

鳥取三洋電機株式会社